**中華民國經濟部智慧財產局**

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2002 年 08 月 21 日
Application Date

申 請 案 號：091118881
Application No.

申 請 人：南亞科技股份有限公司
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2002 年 10 月 1 日
Issue Date

發文字號：09111019179
Serial No.

91118881

申請日期：

案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	用於偵測溝槽電容器中埋入層之摻雜濃度是否異常的測試元件及量測方法
	英文	A test key and method for detecting whether the doping concentration of buried layers within deep trench capacitor is normal.
二、 發明人	姓名 (中文)	1. 吳鐵將 2. 黃建章 3. 丁裕偉 4. 姜伯青
	姓名 (英文)	1. Wu Tie Jiang 2. Huang Chien-Chang 3. Ting Yu-Wei 4. Bo Ching Jiang
	國籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 宜蘭縣三星鄉萬德村93-7號 2. 台北縣板橋市國泰里14鄰實踐路93巷59號3樓之1 3. 台北市內湖區文德路66巷69弄14號2樓 4. 花蓮縣吉安鄉東海五街35號
三、 申請人	姓名 (名稱) (中文)	1. 南亞科技股份有限公司
	姓名 (名稱) (英文)	1. Nanya Technology Corporation.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 桃園縣龜山鄉華亞科技園區復興三路669號
	代表人 姓名 (中文)	1. 連日昌
	代表人 姓名 (英文)	1. Lien Jih-Chang



申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	5. 郭澤綿
	姓名 (英文)	5. Tse-Main Kuo
	國籍	5. 中華民國
	住、居所	5. 台北市文山區光輝路30巷20號3樓
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	



四、中文發明摘要 (發明之名稱：用於偵測溝槽電容器中埋入層之摻雜濃度是否異常的測試元件及量測方法)

一種用於偵測溝槽電容器中埋入層之摻雜濃度是否異常的測試元件，係設置於一晶圓之切割道中，該測試元件包括一溝槽電容器，設置於上述切割道中，溝槽電容器包括一電極層具有一第一摻雜濃度、一第一導電層具有一第二摻雜濃度以及一第二導電層具有一第三摻雜濃度；一阻絕塊，設置於溝槽電容器中，貫穿第二導電層且延伸至第一導電層中，將第二導電層區分成一第一部分及一第二部分；一第一接觸插塞，耦接第二導電層之第一部分之一側；一第二接觸插塞，耦接第二導電層之第一部分之另一側；以及一第三接觸插塞，耦接第二導電層之第二部分。藉由第一接觸插塞和第二接觸插塞間測得之一第一電阻值，以及第二接觸插塞和第三接觸插塞間測得之一第二電

英文發明摘要 (發明之名稱：A test key and method for detecting whether the doping concentration of buried layers within deep trench capacitor is normal.)

A test key for detecting whether the doping concentration of buried layers within deep trench capacitor is normal. The test key is posited in the scribe line region of a wafer. In the test key of the present invention, the deep trench capacitor is deposited in the scribe line region and has three buried layers with three doping concentrations. An isolation region is deposited in the capacitor, and a first plug, a second and a third plug are coupled to three positions of one



四、中文發明摘要 (發明之名稱：用於偵測溝槽電容器中埋入層之摻雜濃度是否異常的測試元件及量測方法)

阻值，以監控溝槽電容器中埋入層之摻雜濃度是否異常。

英文發明摘要 (發明之名稱：A test key and method for detecting whether the doping concentration of buried layers within deep trench capacitor is normal.)

buried layer of the three respectively. The present invention determines whether the doping concentration of buried layers within deep trench capacitor is normal by a first resistance measured between the first plug and the second plug and a second resistance measured between the second plug and the third plug.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

【發明領域】

本發明係有關於一種測試元件 (test key)，特別是有關於一種可以快速地偵測溝槽電容器 (deep trench capacitor) 中埋入層 (buried layers) 之摻雜濃度是否有異常的測試元件。

【習知技術】

溝槽電容器為一種動態隨機存取記憶體 (dynamic random access memory；簡稱DRAM) 中常見的電容器結構，其係形成於半導體矽基底中，並藉由增加溝槽電容器於半導體矽基底中的深度可以增加其表面積，以增加其電容量。

第1圖係繪示傳統的溝槽電容器之佈局圖。溝槽電容器10係配置在路過字元線 (passing wordline) 下方。電晶體14係經由擴散區18電性耦接至溝槽電容器10的儲存節點16。另一擴散區20係連接至接觸插塞22，而接觸插塞22則連接至位元線 (未繪示)，以藉由電晶體14來讀取或寫入至儲存節點16。電晶體14係藉由字元線12來趨動。當電壓施加至字元線12時，字元線12下方的通道會導通，而於兩擴散區18和20之間產生電流並流入或流出儲存節點16。

第2圖係為第1圖的A-A剖面圖。當溝槽電容器10完成後，會於基底和溝槽電容器中形成淺溝槽隔離28，以定義主動區 (Active Area, AA)，並用以隔離將形成之路過字元線12和溝槽電容器10。之後，於基底上形成字元線12。



五、發明說明 (2)

再配合以字元線和淺溝槽隔離28為離子植入罩幕，於字元線兩側的主動區形成做為源極/汲極的摻雜區18和20。然而，電晶體14之通道長度L，係與字元線12的尺寸及電晶體源極18/汲極20之輪廓大小有關。而且源極18/汲極20之輪廓大小，與溝槽電容器10之儲存結點16之摻雜濃度有關，其中儲存結點16係由一第二導電層L13、第一導電層L12及一電極層L11所構成。因此，若儲存結點16之第二導電層L13、第一導電層L12及電極層L11的摻雜濃度有異常時，會影響所形成的摻雜區18和20之大小，進而影響電晶體14之通道長度L。如此會使得相鄰的記憶胞產生漏電流，或記憶胞無效，因而造成製程良率的下降。

因此，若能控制溝槽電容器10之儲存結點16之摻雜濃度在可允許的範圍內，則可提高記憶胞的可靠度及製程之良率。

【發明之目的及概要】

有鑑於此，本發明之首要目的在於提供一種於提供一種可偵測溝槽電容器 (deep trench capacitor) 中埋入層 (buried layers) 之摻雜濃度是否有異常的測試方法。

此外，本發明的另一目的在於提供一種在於提供一種可偵測溝槽電容器 (deep trench capacitor) 中埋入層之摻雜濃度是否有異常的測試元件。

根據上述目的，本發明係提供之一種用於偵測溝槽電容器中埋入層之摻雜濃度是否異常的測試元件，係設置於



五、發明說明 (3)

一晶圓之切割道中。上述測試元件包括一溝槽電容器，設置於上述切割道中，上述溝槽電容器包括一電極層具有一第一摻雜濃度、一第一導電層具有一第二摻雜濃度、一第二導電層具有一第三摻雜濃度；一阻絕塊，設置於溝槽電容器中，貫穿第二導電層且延伸至第一導電層中，將第二導電層區分成一第一部分及一第二部分；一第一接觸插塞，耦接第二導電層之第一部分之一側；一第二接觸插塞，耦接第二導電層之第一部分之另一側；以及一第三接觸插塞，耦接第二導電層之第二部分。

根據上述目的，本發明並提供一種偵測溝槽電容器中埋入層之濃度異常的方法，包括提供一晶圓，該晶圓至少具有一切割道和一記憶胞區；於上述晶圓之切割道形成一測試元件，並同時於上述晶圓之記憶胞區形成複數記憶胞；藉由第二導電層之第一部分上之第一、第二接觸插塞量測得一第一電阻值；藉由第二導電層之第一部分上之該第二接觸插塞，與第二導電層之第二部分上之該第三接觸插塞，量測得一第二電阻值；根據第一與第二電阻值，判斷測試元件中溝槽電容器之電極層、第一導電層以及第二導電層之摻雜濃度是否正常；以及藉由測試元件上之溝槽電容器中電極層、第一導電層以及第二導電層之摻雜濃度是否正常，判別記憶胞區之記憶胞中溝槽電容器之電極層、第一導電層以及第二導電層之摻雜濃度是否正常。

為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如



五、發明說明 (4)

下：

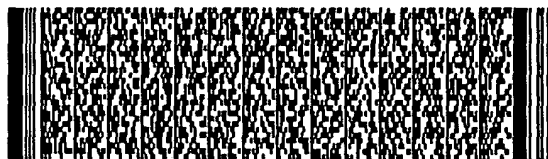
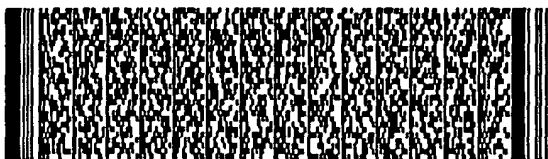
【發明的詳細說明】

請參照第3~5圖，用以說明本發明之一實施例。其中第3圖為本發明之偵測溝槽電容器中埋入層之摻雜濃度是否異常的測試元件的佈局圖，其中測試元件係設置於切割道中。第4圖係為第3圖沿線段B-B'之剖面圖，而第5圖係為第3圖沿線段C-C'之剖面圖。

首先在一晶圓100上之切割道區域160上設置一溝槽電容器110。其中溝槽電容器110包括一電極層L1具有一第一摻雜濃度、一第二導電層L2具有一第二摻雜濃度以及一第二導電層L3具有一第三摻雜濃度構成之儲存結點116。舉例來說，該電極層L1為多晶矽材質所構成，電極層L1之第一摻雜濃度，即阻值量測約為每單位面積250歐姆(ohm/Ω)，而該第一導電層L2亦為多晶矽材質所構成，該第一導電層L2之第二摻雜濃度，即阻值量測約為每單位面積350歐姆(ohm/Ω)，且該第二導電層L3為多晶矽材質所構成，該第二導電層L3之第三摻雜濃度，即阻值量測約為每單位面積600歐姆(ohm/Ω)。

另外，以淺溝槽隔離的方式，設置一阻絕塊128於該溝槽電容器110中，貫穿該第二導電層L3且延伸至該第一導電層L2中，將該第二導電層L3區分成一第一部分L3a及一第二部分L3b。

以及，設置一第一接觸插塞CS1，耦接該第二導電層



五、發明說明 (5)

之第一部分L3a之一側、一第二接觸插塞CS2，耦接該第二導電層之第一部分L3a之另一側、一第三接觸插塞CS3，耦接該第二導電層之第二部分L3b。

其中本發明之測試元件更包括設置於該溝槽電容器110上方兩側之一第一路過字元線和一第二路過字元線112。

請參見第4圖，所示為第3圖沿線段BB'之剖面圖。其中該第一接觸插塞CS1和該第二接觸插塞CS2之間，用以測得由電阻R3、電阻R2a及電阻R1a並聯而成之一第一電阻值RT1，如第6a圖中所示。而該第二接觸插塞CS2和該第三接觸插塞CS3之間，用以測得由電阻R2b及電阻R1b並聯而成之一第二電阻值RT2，如第6b圖中所示。

在一般情況中，若該電極層L1之第一摻雜濃度、該第一導電層之第二摻雜濃度以及該第二導電層L3之第三摻雜濃度皆為正常時，由該等電阻R3、電阻R2a及電阻R1a並聯而成之第一電阻值RT1會等於一第一既定電阻值，大約為290歐姆，而由該電阻R2b及電阻R1b並聯而成之第二電阻值RT2會等於一第二既定電阻值，大約為310歐姆。

然而，當該第二導電層L3之第三摻雜濃度過濃時，該第一電阻值RT1會低於該第一既定電阻值，而該第二電阻值RT2則會大體上與該第二既定電阻值相等。若是該第一導電層L2之第二摻雜濃度過濃時，則該第一電阻值RT1會低於該第一既定電阻值，且該第二電阻值RT2亦會低於該第二既定電阻值。因此，可藉由量測該測試元件中該等接



五、發明說明 (6)

觸插塞之間之第一、第二電阻值 $RT1$ 、 $TR2$ ，來監控制程中電極層、第一導電層及第二導電層之摻雜濃度是否產生異常。

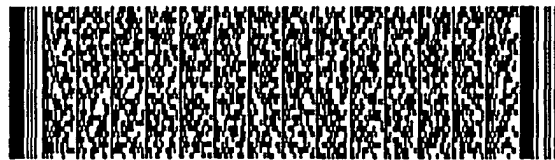
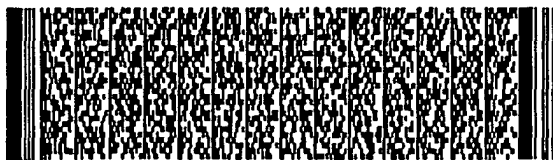
本發明提供之偵測溝槽電容器中埋入層之濃度異常的方法，包括下列步驟，首先提供一晶圓，該晶圓至少具有一切割道和一記憶胞區。

接著，於該晶圓100之該切割道160形成一測試元件，並同時於該晶圓100之該記憶胞區形成複數記憶胞，其中該測試元件之構造如第3圖所示，且該記憶胞之結構如第1、第2圖所示。

然後，藉由該第二導電層之第一部分 $L3a$ 上之該第一、第二接觸插塞 $CS1$ 、 $CS2$ 量測得一第一電阻值 $RT1$ 。並藉由該第二導電層之第一部分 $L3a$ 上之該第二接觸插塞 $CS2$ ，與該第二導電層之第二部分 $L3b$ 上之該第三接觸插塞 $CS3$ ，量測得一第二電阻值 $RT2$ 。

之後，根據該第一與該第二電阻值 $RT1$ 、 $RT2$ ，判斷該測試元件中溝槽電容器110之該電極層 $L1$ 、第一導電層 $L2$ 以及第二導電層 $L3$ 之摻雜濃度是否正常。最後藉由該測試元件上之溝槽電容器110中該電極層 $L1$ 、第一導電層 $L2$ 以及第二導電層 $L3$ 之摻雜濃度是否正常，判別該記憶胞區150之該等記憶胞中溝槽電容器10之電極層 $L11$ 、第一導電層 $L12$ 以及第二導電層 $L13$ 之摻雜濃度是否正常。

由於實行離子摻雜製程時，無論是記憶胞區或是切割道上的測試元件均會產生一致的濃度，因此，藉由切割道



五、發明說明 (7)

上的測試元件，可以反應出記憶胞中溝槽電容器之電極層、第一導電層以及第二導電層之摻雜濃度是否正常。

因此，本發明之測試元件與測試方法，可以快速地偵測溝槽電容器中埋入層之摻雜濃度是否有異常。

此外，本發明之測試元件與測試方法，將測試元件設置於切割道上，可以同步與記憶胞區進行相同製程，監控溝槽電容器中埋入層之摻雜濃度是否有異常，且避免佔據記憶胞區的空間。

雖然本發明已以較佳實施例揭露如上，然其並非用以限制本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做更動與潤飾，因此本發明之保護範圍當事後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係為習知DRAM電容器的佈局圖。

第2圖係為第1圖沿線段A-A之剖面圖。

第3圖為本發明之偵測溝槽電容器中埋入層之摻雜濃度是否異常的測試元件的佈局圖。

第4圖係為第3圖沿線段B-B'之剖面圖。

第5圖係為第3圖沿線段C-C'之剖面圖。

第6a、6b圖係為本發明之測試元件單元的等效電路圖。

【符號說明】

10~溝槽電容器；	12~字元線；
14~電晶體；	16、116~儲存節點；
18、20~摻雜區；	22~接觸插塞；
26~介電領圈；	28、128~淺溝槽隔離；
AA~主動區；	100~基底；
110~溝槽電容器；	112~路過字元線；
114a、114b~電晶體；	150~記憶胞區；
160~切割道；	NW~埋入式n型井區；
PW~p型井區；	CS1~第一接觸插塞；
CS2~第二接觸插塞；	CS3~第三接觸插塞CS3；
RT1~第一電阻值；	RT2~第一電阻值；
R3、R2a、R2b、R1a、R1b~電阻；	
L1、L11~電極層；	L2、L12~第一導電層；
L3、L13~第二導電層；	L3a~第二導電層之第一部分；



圖式簡單說明

L3b~ 第二導電層之第二部分。



六、申請專利範圍

1. 一種用於偵測溝槽電容器中埋入層之摻雜濃度是否異常的測試元件，係設置於一晶圓之切割道中，該測試元件包括：

一溝槽電容器，設置於該切割道中，該溝槽電容器包括一電極層具有一第一摻雜濃度、一第一導電層具有一第二摻雜濃度以及一第二導電層具有一第三摻雜濃度；

一阻絕塊，設置於該溝槽電容器中，貫穿該第二導電層且延伸至該第一導電層中，將該第二導電層區分成一第一部分及一第二部分；

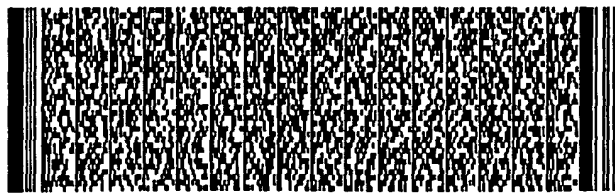
一第一接觸插塞，耦接該第二導電層之第一部分之一側；

一第二接觸插塞，耦接該第二導電層之第一部分之另一側；以及

一第三接觸插塞，耦接該第二導電層之第二部分。

2. 如申請專利範圍第1項所述之用於偵測溝槽電容器中埋入層之摻雜濃度是否異常的測試元件，其中包括一第一路過字元線和一第二路過字元線，設置於該溝槽電容器上方兩側。

3. 如申請專利範圍第1項所述之用於偵測溝槽電容器中埋入層之摻雜濃度是否異常的測試元件，其中該第一接觸插塞和該第二接觸插塞之間用以測得一第一電阻值，以及該第二接觸插塞和該第三接觸插塞之間用以測得一第二電阻值，其中若該第一電阻值低於一第一既定電阻值時，則該第一導電層之摻雜濃度有異常。



六、申請專利範圍

4. 如申請專利範圍第1項所述之用於偵測溝槽電容器中埋入層之摻雜濃度是否異常的測試元件，其中若該第一電阻值低於一第一既定電阻值，且該第二電阻值低於一第二既定電阻值時，則該第二導電層之摻雜濃度有異常。

5. 一種用於偵測溝槽電容器中埋入層之濃度異常的量測方法，包括下列步驟：

提供一晶圓，該晶圓至少具有一切割道和一記憶胞區；

於該晶圓之該切割道形成一測試元件，並同時於該晶圓之該記憶胞區形成複數記憶胞，

其中該測試元件包括：

一溝槽電容器，設置於該切割道中，該溝槽電容器包括一電極層具有一第一摻雜濃度、一第一導電層具有一第二摻雜濃度以及一第二導電層具有一第三摻雜濃度；

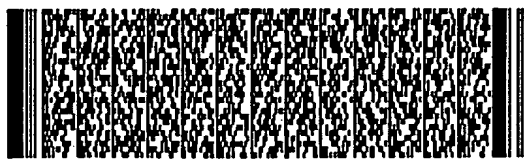
一阻絕塊，設置於該溝槽電容器中，貫穿該第二導電層且延伸至該第二導電層中，將該第二導電層區分成一第一部分及一第二部分；

一第一接觸插塞，耦接該第二導電層之第一部分之一側；

一第二接觸插塞，耦接該第二導電層之第一部分之另一側；以及

一第三接觸插塞，耦接該第二導電層之第二部分；

藉由該第二導電層之第一部分上之該第一、第二接觸插塞量測得一第一電阻值；



六、申請專利範圍

藉由該第二導電層之第一部分上之該第二接觸插塞，與該第二導電層之第二部分上之該第三接觸插塞，量測得一第二電阻值；

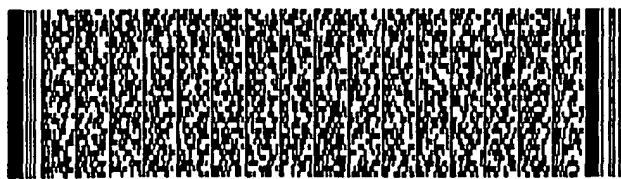
根據該第一與該第二電阻值，判斷該測試元件中溝槽電容器之該電極層、第一導電層以及第二導電層之摻雜濃度是否正常；以及

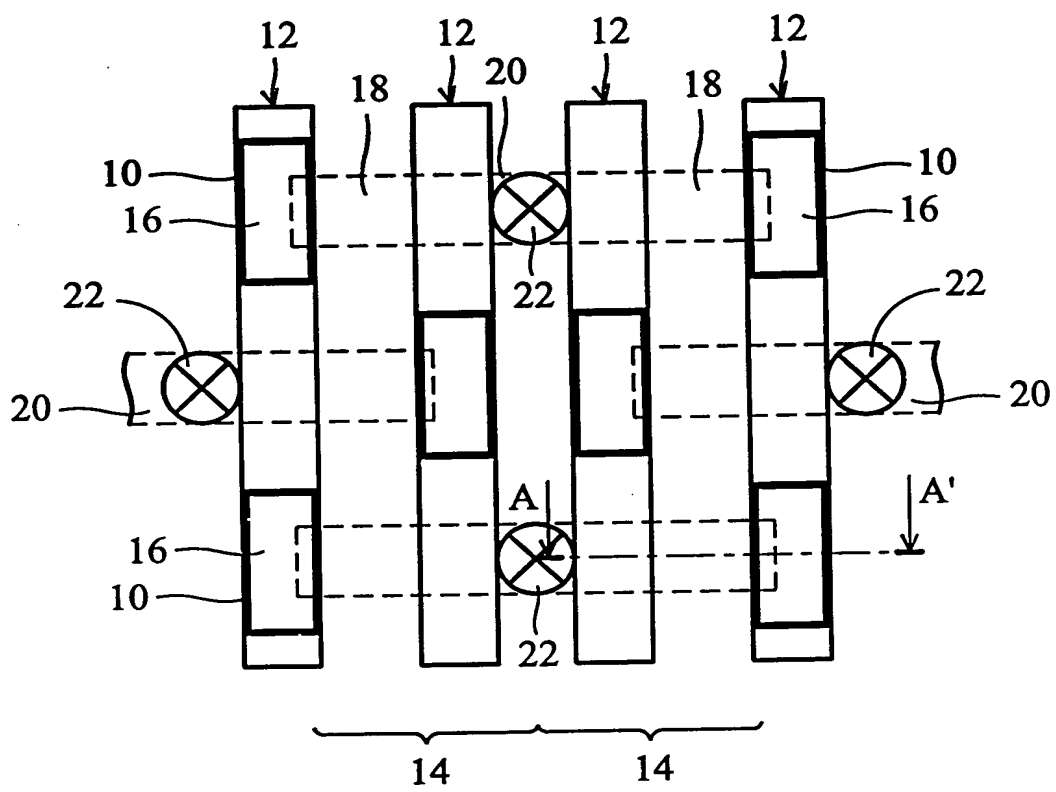
藉由該測試元件上之溝槽電容器中該電極層、第一導電層以及第二導電層之摻雜濃度是否正常，判別該記憶胞區之該等記憶胞中溝槽電容器之電極層、第一導電層以及第二導電層之摻雜濃度是否正常。

6. 如申請專利範圍第5項所述之用於偵測溝槽電容器中埋入層之濃度異常的量測方法，其中該測試元件更包括一第一路過字元線和一第二路過字元線，設置於該溝槽電容器上方兩側。

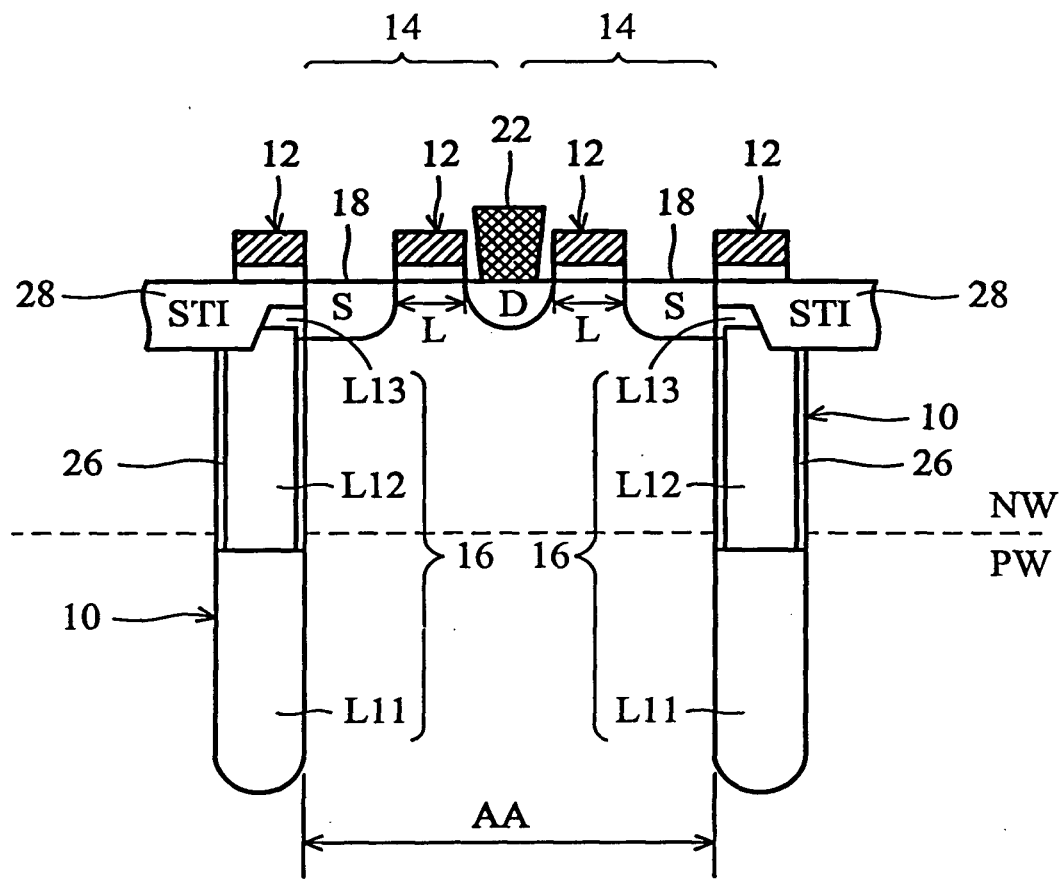
7. 如申請專利範圍第5項所述之用於偵測溝槽電容器中埋入層之濃度異常的量測方法，其中若該第一電阻值低於一第一既定電阻值時，則該第一導電層之摻雜濃度有異常。

8. 如申請專利範圍第5項所述之用於偵測溝槽電容器中埋入層之濃度異常的量測方法，其中若該第一電阻值低於一第一既定電阻值，且該第二電阻值低於一第二既定電阻值時，則該第二導電層之摻雜濃度有異常。

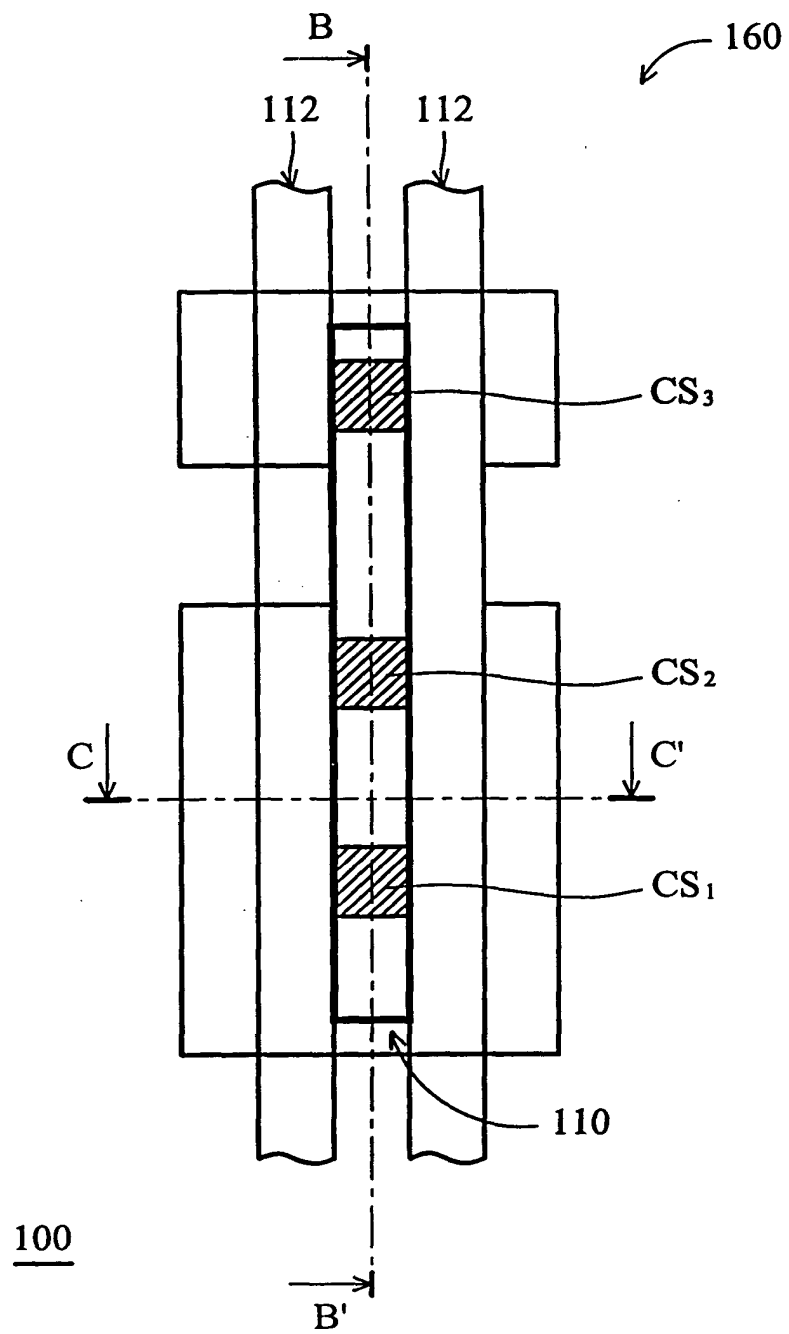




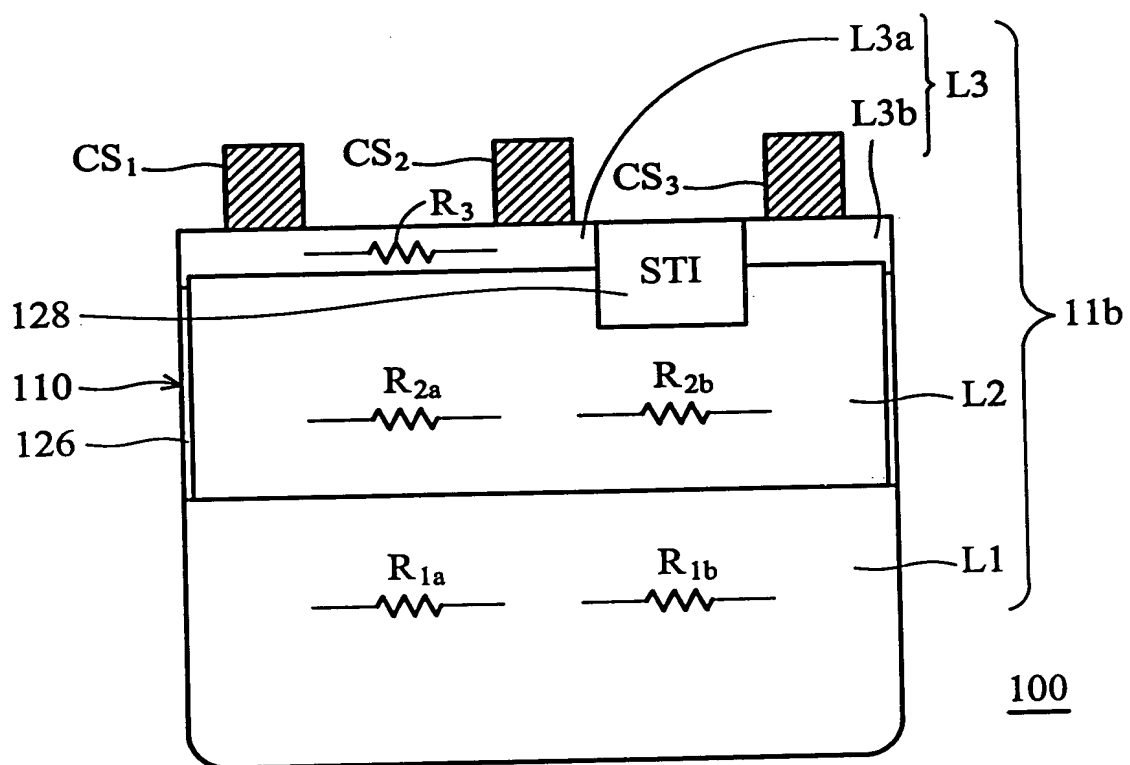
第 1 圖



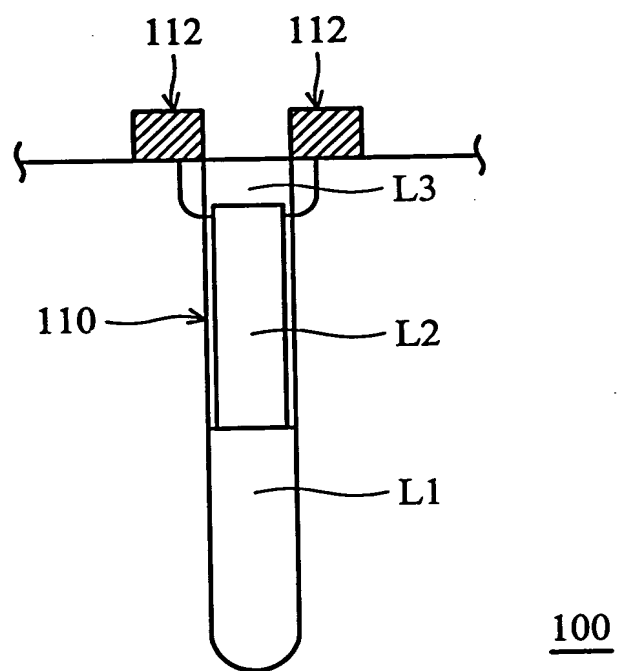
第 2 圖



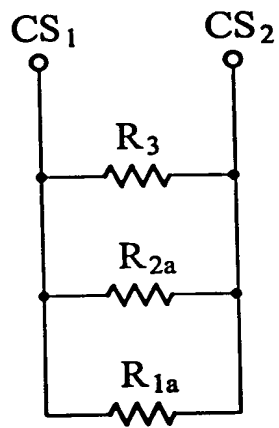
第 3 圖



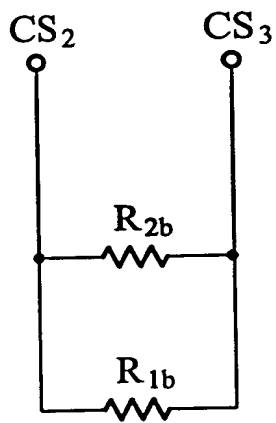
第 4 圖



第 5 圖

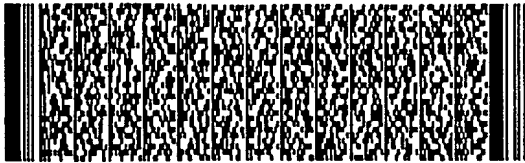


第 6a 圖



第 6b 圖

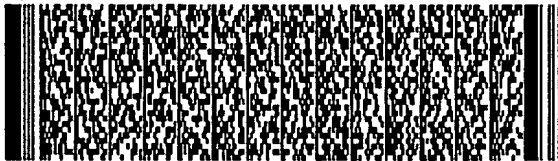
第 1/17 頁



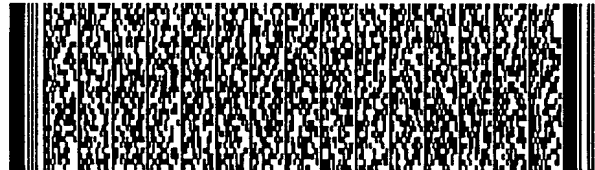
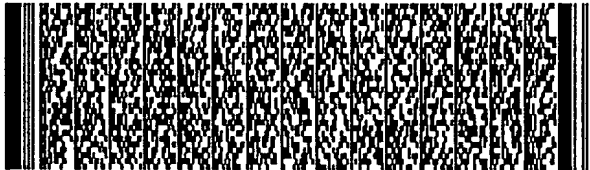
第 3/17 頁



第 4/17 頁



第 6/17 頁



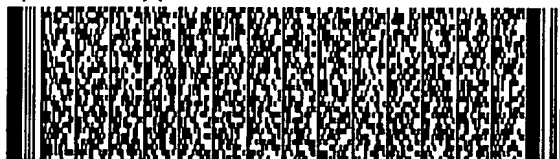
第 7/17 頁



第 8/17 頁



第 9/17 頁



第 10/17 頁



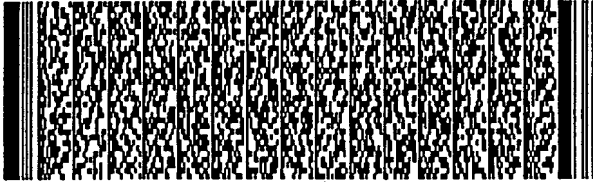
第 11/17 頁



第 11/17 頁



第 12/17 頁



第 13/17 頁



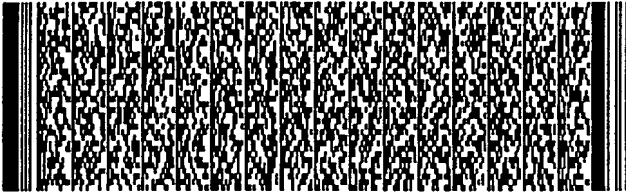
第 13/17 頁



第 14/17 頁



第 15/17 頁



第 16/17 頁



第 16/17 頁



第 17/17 頁

